

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-203910

(43)Date of publication of application : 05.08.1997

(51)Int.Cl.

G02F 1/136
G02F 1/1343

(21)Application number : 08-012945

(71)Applicant : HITACHI LTD

(22)Date of filing : 29.01.1996

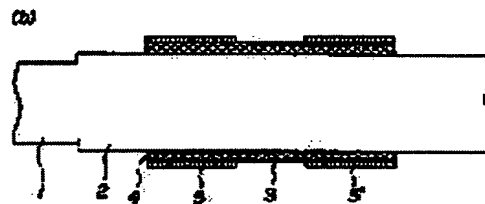
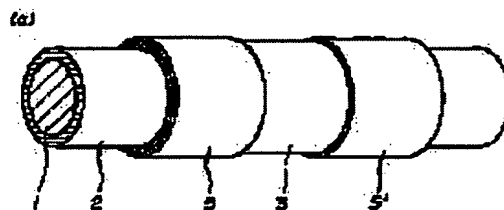
(72)Inventor : SUZUKI KENKICHI

(54) LINEAR SOLID SWITCHING ELEMENT AND ITS PRODUCTION AS WELL AS PLANE DISPLAY ELEMENT FORMED BY USING THIS LINEAR SOLID SWITCHING ELEMENT AS PIXEL SELCTING MEANS

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a linear solid switching element which is simple in structure and easy in production and a process for producing the same as well as a large-sized active addressing type plane display element of high fineness formed by using this linear solid switching element as a pixel selecting means.

SOLUTION: An insulating film 2, a-Si film 3, N(+)a-Si film 4, metallic film 5, etc., necessary for constituting the active switching element are formed on a fine wire 1 consisting of a metal. These multilayered films are worked to form a channel part, etc., by which the active switching element of the linear solid structure is formed. The linear solid-state switching element obtd. by forming the fine wire 1 (metallic wire) of the metal described above as a gate line and one piece of a wire (gate switching wire) from which the active switching element hangs down by one line at the gate bus line as one micromechanical part is used for the pixel selecting means of the plane display element.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-203910

(43) 公開日 平成9年(1997) 8月5日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/136	5 0 0	G 0 2 F	1/136
	1/1343			5 0 0
				1/1343

審査請求 未請求 請求項の数21 O L (全 17 頁)

(21) 出願番号 特願平8-12945

(22) 出願日 平成8年(1996) 1月29日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 鈴木 堅吉

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(74) 代理人 弁理士 武 顕次郎

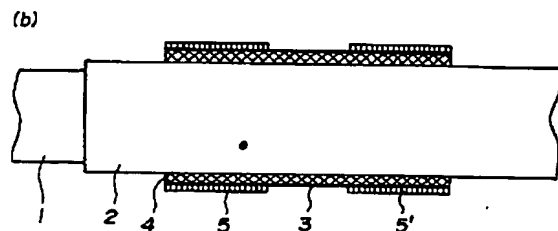
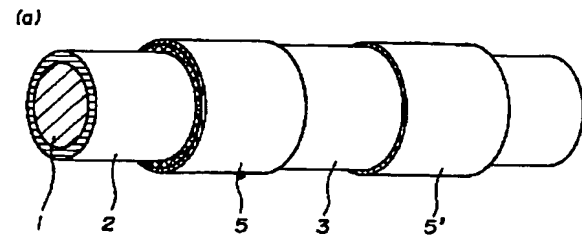
(54) 【発明の名称】 線型固体スイッチ素子とその製造方法、および前記線型固体スイッチ素子を画素選択手段として用いた平面表示素子

(57) 【要約】

【課題】 構造が単純で製造が簡単な線型固体スイッチ素子と、その製造方法およびこの線型固体スイッチ素子を画素選択手段として用いた大型かつ高精細のアクティブ・アドレッシング型平面表示素子を得る。

【解決手段】 金属の細線 1 上にアクティブスイッチ素子の構成に必要とする絶縁膜 2、 $a-Si$ 膜 3、 $N(+)$ $a-Si$ 膜 4、金属膜 5 等を形成し、その多層膜を加工してチャネル部等を形成して線型の固体構造でアクティブスイッチ素子を形成する。上記金属の細線 (金属線) 1 をゲート線とし、ゲートバスラインにアクティブスイッチ素子が 1 ライン分ぶら下がった 1 本の線 (ゲートスイッチ線) をマイクロメカニカルな 1 部品とした線型固体スイッチ素子を平面表示素子の画素選択手段に用いる。

図 1



1 : 金属線	4 : $N(+)$ $a-Si$ 層
2 : ゲート絶縁層	5 : ドレイン電極
3 : チャネル部	5' : ソース電極

【特許請求の範囲】

【請求項1】金属線の全表面に形成した絶縁層と、前記絶縁層の上に成膜した1または複数の半導体層と、前記金属線の長手方向に沿って複数に区分した導体層からなる複数の電界効果型トランジスタ列から構成したことを特徴とする線型固体スイッチ素子。

【請求項2】請求項1において、前記絶縁層がSiO₂層またはSi₃N₄層の何れかであり、前記半導体層がa-Si層またはp-Si層の何れかと、その上層に形成されたN(+)型a-Si層またはN(+)型p-Si層であることを特徴とする線型固体スイッチ素子。

【請求項3】請求項1において、前記絶縁層が前記金属線の表面を酸化させてなる酸化膜であり、前記半導体層がa-Si層またはp-Si層の何れかと、その上に形成されたN(+)型a-Si層またはN(+)型p-Si層であることを特徴とする線型固体スイッチ素子。

【請求項4】金属線の表面全面にSiO₂またはSi₃N₄からなる絶縁層を成膜する工程、前記絶縁層の上にa-Si層またはp-Si層の何れかを成膜する工程、前記a-Si層またはp-Si層の何れかの上にN(+)型a-Si層を成膜する工程、前記N(+)型a-Si層の上に金属層を形成する工程、および前記金属層とN(+)型a-Si層または前記金属層とN(+)型p-Si層を前記金属線の長手方向に沿って分離し、前記金属線をゲート線とし、前記分離された金属層の隣接する一方をドレイン電極とし他方をソース電極とした電界効果型スイッチ列を前記長手方向に複数個形成する工程とを少なくとも有することを特徴とする線型固体スイッチ素子の製造方法。

【請求項5】金属線の表面全面にa-Siまたはp-Si層を成膜する工程、前記a-Siまたはp-Si層を酸化させてSiO₂層を形成する工程、前記SiO₂層の上にa-Si層またはp-Si層を形成する工程、前記a-Si層またはp-Si層の表面をN(+)型a-Si層またはp-Si層とする工程、前記N(+)型a-Si層または前記N(+)型p-Si層の上に金属層を形成する工程、および前記金属層とN(+)型a-Si層またはN(+)型p-Si層、または前記金属層とN(+)型a-Si層またはp-Si層を前記金属線の長手方向に沿って分離し、前記金属線をゲート線とし、前記分離された金属層の隣接する一方をドレイン電極とし他方をソース電極とした電界効果型スイッチ列を前記長手方向に複数個形成する工程とを少なくとも有することを特徴とする線型固体スイッチ素子の製造方法。

【請求項6】金属線の表面を酸化させてその金属線の表面全面に金属酸化物からなる絶縁層を形成する工程、前記金属酸化物の絶縁層の上にa-Si層またはp-Si層を形成する工程、前記a-Si層またはp-Si層の表面にN(+)型a-Si層またはp-Si層を形成する

工程、前記N(+)型a-Si層またはp-Si層の上に金属層を形成する工程、および前記金属層を前記金属線の長手方向に沿って分離し、前記金属線をゲート線とし、前記分離された金属層の隣接する一方をドレイン電極とし他方をソース電極とした電界効果型スイッチ列を前記長手方向に複数個形成する工程とを少なくとも有することを特徴とする線型固体スイッチ素子の製造方法。

【請求項7】請求項4～6の何れかにおいて、前記N(+)型a-Si層またはp-Si層をイオン打ち込み法またはレーザードーピング法により形成することを特徴とする線型固体スイッチ素子の製造方法。

【請求項8】請求項4～6の何れかにおいて、前記SiO₂、Si₃N₄、a-Si、p-Siを、プラズマ溶射、イオンクラスタービーム、イオンプレーティング、熱気相CVD、プラズマ気相CVD、エピタキシャル液相成長、熔融液相成長の何れかにより形成することを特徴とする線型固体スイッチ素子の製造方法。

【請求項9】請求項4～6の何れかにおいて、前記金属層およびN(+)型a-Si層またはp-Si層を前記金属線の長手方向に沿って分離する手段が、レーザーのアブレーション加工、フォトリソグラフィ加工、または機械的切削加工の何れかをを用いることを特徴とする線型固体スイッチ素子の製造方法。

【請求項10】金属線の全表面に成膜した絶縁層と、前記絶縁層の上に成膜した半導体層と、前記金属線の長手方向に沿って複数に区分した導体層からなる複数の電界効果型トランジスタ列を有し、前記金属線をゲート線、前記複数に区分した導体層の隣接する一方をドレイン電極、他方をソース電極とする線型固体スイッチ素子を基板面の表面に配列して前記画素スイッチ線およびゲート線を構成したことを特徴とする平面表示素子。

【請求項11】請求項1～3、10に記載の前記画素スイッチを構成する線型固体スイッチ素子の前記ソース電極とドレイン電極の一部を除いた全面に有機絶縁膜を有し、前記基板に前記ソース電極とドレイン電極に接続する接続用金属膜または接続用金属バンプの何れかを備えたことを特徴とする平面表示素子。

【請求項12】一方の面に独立した透明画素電極を有する透明な基板と、前記基板の他方の面に前記請求項10または11に記載の前記線型固体スイッチ素子のソース電極と接続して前記透明画素電極に連通する小電極とドレイン電極と接続するドレイン線とを有することを特徴とする平面表示素子。

【請求項13】請求項12において、前記小電極と前記ドレイン線を覆う絶縁膜を有することを特徴とする平面表示素子。

【請求項14】一方の面に独立した透明画素電極を有し、他方の面に請求項10または11に記載の前記線型固体スイッチ素子のソース電極と接続して前記透明画素電極に連通する小電極とを有する透明な第1の基板

と、ドレイン電極と接続するドレイン線とを有する第2の基板とを備えたことを特徴とする平面表示素子。

【請求項15】請求項12において、前記ドレイン線を前記ソース電極との接続部を除いて絶縁膜で覆ったワイヤとすることを特徴とする平面表示素子。

【請求項16】請求項14において、前記ドレイン線が前記第2の基板面に成膜された導電膜であることを特徴とする平面表示素子。

【請求項17】請求項14において、前記ドレイン線が前記ドレイン電極と接続する部分を除いて絶縁膜で被覆された線材であることを特徴とする平面表示素子。

【請求項18】請求項10～17の何れかにおいて、前記第1の透明基板に形成した透明画素電極側に液晶層を介して対向させた一様な透明電極を有する透明基板を備えたことを特徴とする平面表示素子。

【請求項19】請求項10～18の何れかにおいて、前記第1の透明基板に形成した透明画素電極側にエレクトロクロミック層を介して対向させた一様な透明電極を有する透明基板を備えたことを特徴とする平面表示素子。

【請求項20】請求項10～19の何れかにおいて、前記第1の透明基板に形成した透明画素電極側に有機EL層を介して対向させた一様な透明電極を有する透明基板を備えたことを特徴とする平面表示素子。

【請求項21】請求項18～20において、前記何れかの基板の有効画面領域外に前記ゲート線および／またはドレイン線を埋設する溝を有することを特徴とする平面表示素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、線型固体スイッチ素子とその製造方法、および前記線型固体スイッチ素子を画素選択手段として用いた平面表示素子に関する。

【0002】

【従来の技術】情報機器のモニターやテレビ受像機の映像表示手段として、最近では陰極線管に代わって平面表示素子（所謂、フラット・ディスプレイ・パネル、あるいは単にフラット・パネルとも称する平面形状の表示素子）が多用されている。

【0003】この種の平面表示素子としては、液晶パネル、ELパネル、プラズマパネル等を挙げることができる。

【0004】これらの平面表示素子は、分子の配向軸方向で光を透過／遮断する液晶層や、電界の印加で発光あるいは放電を起こさせるEL層またはガスを層のセルを二次元に多数配置して画素を構成し、それらの画素を選択的に駆動することによって画像を表示するものである。

【0005】このような平面表示素子を、その各画素を選択するための駆動形式の相違で区別すると、二方向に施設した電極の交差位置で画素選択を行う単純アドレッシング型（所謂、単純マトリクス型）と、画素のそれぞれにトランジスタやダイオードからなるスイッチ素子を設けて、そのスイッチ素子を選択的に駆動して画素選択を行うアクティブ・アドレッシング型（若しくは、アクティブ・マトリクス型）とが知られている。

【0006】このうち、アクティブ・アドレッシング型の平面表示素子は画素毎に設けたスイッチ素子で各画素を常時駆動（デューティー比1.0）する方式であるため、時分割駆動される単純マトリクス型平面表示素子に比較してコントラストが良好で、特にカラー画像対応の平面表示素子として欠かせない素子となっている。

【0007】ここで、本発明が対象とする上記のアクティブ・アドレッシング型の平面表示素子の基本的な構成と、特にその画素選択機構であるスイッチ素子の構造および製造プロセスを、薄膜トランジスタ（TFT）型の液晶表示素子を典型例として説明する。

【0008】図17はTFT型のアクティブ・アドレッシング型液晶平面表示素子の1画素とその周辺を説明する平面図、図18は図17の3-3線の断面図である。

【0009】図17に示したように、各画素は隣接する2本の走査信号線（ゲート信号線または水平信号線）GLと、隣接する2本の映像信号線（ドレイン信号線または垂直信号線）DLとの交差領域内（4本の信号線で囲まれた領域内）に配置されている。

【0010】同図において、GIは絶縁膜、GTはゲート電極、ASはi型半導体層、SDはソース電極またはドレイン電極、PSVは保護膜、BMは遮光膜、LCは液晶層、TFTは薄膜トランジスタ、ITOは透明画素電極、g、dは導電膜、Caddは保持容量、AOFは陽極酸化膜である。

【0011】各画素はスイッチ素子である薄膜トランジスタTFT、透明画素電極ITO1および保持容量素子Caddを含む。

【0012】走査信号線GLは同図では左右方向に延在し、上下方向に複数本配置されている。信号線DLは上下方向に延在し、左右方向に複数本配置されている。

【0013】図18に示したように、液晶層LCを基準として下部透明ガラス基板SUB1側にはTFTおよび透明画素電極ITO1が形成され、上部透明ガラス基板SUB2側にはカラーフィルタFIL、遮光用ブラックマトリクスパターンBMが形成されている。

【0014】透明ガラス基板SUB1、SUB2の両面には、ディップ処理トランジスタにより形成された酸化シリコン膜SiO₂が成膜されている。

【0015】上部透明ガラス基板SUB2の内側（液晶LC側）の表面には、遮光膜BM、カラーフィルタFIL、保護膜PSV2、共通透明画素電極ITO2（COM）および上部配向膜ORI2が順次積層して形成されている。

【0016】TFTはゲート電極GTに正のバイアスを

印加すると、ソースドレイン間のチャネル抵抗が小さくなり、バイアスを零にすると、チャネル抵抗が大きくなるように動作する。

【0017】各画素には複数（ここでは2個）のTFT（TFT1、TFT2）が冗長して設けられている。このTFT1、TFT2のそれぞれは、実質的に同一サイズ（チャネル長、チャネル幅が同一）で構成され、ゲート電極GT、ゲート絶縁膜GI、i型半導体層AS、一対のソース電極SD1、ドレイン電極SD2を有している。

【0018】なお、ソース、ドレインは本来はその間のバイアス極性によって決まるもので、この液晶平面表示素子の回路では、その極性は動作中反転するので、ソース、ドレインは動作中に入れ替わる。しかし、以下の説明では、便宜上、一方をソース、他方をドレインに固定して表現する。

【0019】ゲート電極GTは走査信号線GLから垂直方向に突出した形状で構成され、TFT1、TFT2の各ゲート電極GTは一体に共通のゲート電極に構成されている。

【0020】ゲート電極GTは単層の第2導電膜g2で形成され、例えばスパッタリングで形成されたアルミニウム（Al）膜が用いられている。その上に陽極酸化膜AOFが成膜されている。

【0021】このゲート電極GTはi型半導体層ASを完全に覆うように大きめに形成され、i型半導体層ASに外光やバックライト光が当たらないように構成されている。

【0022】走査信号線GLは第2導電膜g2で構成され、この第2導電膜g2はゲート電極GTの第2導電膜と同一工程で形成され、かつ一体に構成されている。また、この走査信号線GL上にもアルミニウムの陽極酸化膜AOFが形成されている。絶縁膜GIはTFT1、TFT2において、ゲート電極GTと共にi型半導体層ASに電界を与えるためのゲート絶縁膜として使用される。この絶縁膜GIはプラズマCVD等による厚さ200～2700Åの窒化シリコン膜でゲート電極GTおよび走査信号線GLの上層に形成されている。

【0023】また、この絶縁膜GIは走査信号線GLと映像信号線DLの電気的絶縁にも寄与している。

【0024】i型半導体層ASはTFT1、TFT2のそれぞれに独立した島となるように形成された厚さ200～2200Åの非晶質シリコン（a-Si）で形成される。層d0はオーミックコンタクト用の燐（P）をドーパしたN（+）型非晶質シリコン半導体層であり、下側にi型半導体層ASが存在し、上側に導電層d2（d3）が存在するところのみに残されている。

【0025】i型半導体層ASは走査信号線GLと映像信号線DLとの交差部の両者間にも設けられており、この交差部のi型半導体層ASは当該交差部における走査

信号線GLと映像信号線DLとの短絡を低減する。

【0026】透明画素電極ITO1は液晶表示部の画素電極の一方を構成し、TFT1のソース電極SD1およびTFT2のソース電極SD1の両方に接続されている。

【0027】そして、TFT1、TFT2のうちの1つに欠陥が生じて、それをレーザー光等で切離してリペアすることができる。

【0028】透明画素電極ITO1はスパッタリングで形成された透明導電膜（Indium-Tin-Oxide：ITO、ネサ膜）からなる厚さ1000～2000Åの第1導電膜d1によって構成されている。

【0029】ソース電極SD1、ドレイン電極SD2は、それぞれN（+）型半導体層d0に接触する第2導電膜d2と、その上に形成された第3導電膜d3とから構成されている。

【0030】第2導電膜d2はスパッタリングで厚さ500～1000Åのクロム（Cr）膜で形成される。このクロム膜はN（+）型半導体層d0との接着性を良好にし第3導電膜d3のアルミニウムがN（+）型半導体層d0に拡散するのを防止するバリア層である。なお、この第3導電膜d3はクロム以外に高融点金属（Mo、Ti、Ta、W）膜、高融点金属シリサイド（MoSi、TiSi、TaSi、WSi）膜を用いてもよい。

【0031】第3導電膜d3はアルミニウムのスパッタリングで3000～5000Åの厚さに成膜される。

【0032】映像信号線DLはソース電極SD1、ドレイン電極SD2と同層の第2導電膜d2、第3導電膜d3で構成される。

【0033】薄膜トランジスタTFT1、TFT2および透明画素電極ITO1の上には保護膜PSV1がプラズマCVD等で成膜した酸化シリコンSiO膜や、窒化シリコン膜で厚さ1μm程度に形成される。

【0034】図19はTFTをスイッチ素子に用いたアクティブ・マトリクス型カラー平面表示素子のマトリクス部とその周辺回路の説明図であって、ARは複数の画素を二次元状に配列したマトリクスアレイである。

【0035】図中、Xは映像信号線DLを意味し、添字G、B、Rはそれぞれ緑、青、赤の各画素に対応して付加されている。Yは走査信号線GLを意味し、添字1、2、3、・・・endは走査タイミングの順序に従って付加されている。

【0036】映像信号線X（添字省略）は交互に上側（または奇数）の映像信号駆動回路He、下側（または偶数）の映像信号駆動回路Hoに接続されている。また、走査信号線Y（添字省略）は垂直走査回路Vに接続されている。

【0037】SUPは1つの電圧源から複数の分圧され、安定化された電圧を得るための電源回路やホスト（上位演算処理装置）からの陰極線管用の情報をTFT

用の情報に変換する回路を含む。

【0038】 C_{add} は保持容量であり、TFTがスイッチングするとき、中点電位(画素電極電位) V_{1c} に対するゲート電位変化 ΔV_g の影響を低減するように働く。これを数式で表すと次のようになる。

【0039】

$$\Delta V_{1c} = \{C_{gs} / (C_{gs} + C_{add} + C_{pix})\} \times \Delta V_g$$
ここで、 C_{gs} はTFTのゲート電極GTとソース電極SD1との間に形成される寄生容量、 C_{pix} は透明画素電極ITO1(PIX)と共通透明画素電極ITO2(COM)との間に形成される容量、 ΔV_{1c} は ΔV_g による画素電極電位の変化分である。この変化分 ΔV_{1c} は液晶に加わる直流成分の原因となるが、保持容量 C_{add} を大きくすれば、それだけ小さくなる。

【0040】次に、上記した平面表示素子のスイッチ素子担持基板(SUB1)側の製造方法の一例を図20、図21および図22を参照して説明する。

【0041】図20～図21のA～IはTFTからなるスイッチ素子を製造するための工程を順に示したものである。

【0042】なお、各図における中央の文字は工程名の略称であり、左側は画素部分、右側はゲート端子付近のそれぞれ断面形状で見た加工の流れを示す。

【0043】そして、工程Dを除き、工程A～工程Iは各写真処理(フォトリソを塗布してマスクによる露光を経て現像に至る一連の作業: 薄膜フォトリソグラフィ技術)に対応して区分けしたもので、各工程の何れの断面図もフォトリソグラフィ処理後の加工が終わってフォトリソを除去した段階を示している。

【0044】工程A(図20)

まず、透明ガラス基板SUB1の両面に酸化シリコンSiOをディップ処理で成膜した後、ペーキングを行い、その上に1100Å厚のクロムからなる第1導電膜g1をスパッタリングし、写真処理後、第1導電膜g1を選択的にエッチングしてゲート端子、ドレイン端子、ゲート端子に接続する陽極酸化バスライン、ドレイン端子を短絡するバスライン、陽極酸化バスラインに接続された陽極酸化パッドを形成する。

【0045】工程B(図20)

膜厚が2800ÅのAl-Pd、Al-Si、Al-Si-Ti、Al-Si-Cu等からなる第2導電膜g2をスパッタリングで成膜し、写真処理後、リン酸と硝酸および氷酢酸との混合液で第2導電膜g2を選択的にエッチングする。

工程C(図20)

写真処理で陽極酸化マスクを形成後、陽極酸化液中に基板SUB1を浸漬し、定電流化成と、それに続いて定電圧化成を行って所定の膜厚のAlO層を形成する。

【0046】これにより、導電膜g2が陽極酸化されて、走査信号線GL、ゲート電極GT等の上に陽極酸化

膜AOFが形成される。

【0047】工程D(図21)

プラズマCVDにより、窒化シリコンSiNを形成し、さらにi型非晶質Si膜を設け、さらにN(+)型非晶質Si膜を形成する。

【0048】工程E(図21)

写真処理後、ドライエッチングでN(+)型非晶質Si膜とi型非晶質Si膜を選択的にエッチングしてi型半導体層ASの島を形成する。

【0049】工程F(図21)

写真処理後、ドライエッチングで窒化Si膜を選択的にエッチングする。

【0050】工程G(図22)

スパッタリングによりITOからなる第1導電膜d1を設け、写真処理後、エッチングでゲート端子、ドレイン端子の最上層および透明画素電極を形成する。

工程H(図22)

スパッタリングにより第2導電膜d2を成膜し、Al-Pd、Al-Si、Al-Si-Ti、Al-Si-Cu等からなる第3導電膜d3をスパッタリングで成膜する。写真処理後、第3導電膜d3を工程Bと同様のエッチング液でエッチングし、第2導電膜d2を工程Aと同様のエッチング液でエッチングして、映像信号線、ソース電極、ドレイン電極を形成する。

【0051】次に、ドライエッチングでN(+)型非晶質Si膜を設け、続いて窒化Si膜を選択的にエッチングしてソースとドレイン間のN(+)半導体層d0を選択的に除去する。

【0052】工程I(図22)

プラズマCVDにより窒化Si膜を設け、写真処理後、ドライエッチングで窒化Si膜を選択的にエッチングすることにより、保護膜PSV1を形成する。

【0053】以上の工程A～Iを経ることにより、TFTからなるスイッチング素子を備えた基板が得られる。

【0054】この基板に他方の基板を貼り合わせ、両者間に液晶層を挟持してTFTをスイッチ素子とした、所謂TFT型の液晶平面表示素子を構成する。なお、液晶に替えてEL、特に有機EL、エレクトロクロミック等を用いて平面表示素子を構成することもできる。

【0055】

【発明が解決しようとする課題】上記したような平面表示素子は、今後益々大型、高精細化される傾向にあり、少なくとも陰極線管並みの低コストで製造することが要求される。しかし、上記図20～図22で説明したような薄膜フォトリソグラフィ技術を用いた製造では、その工程数が多く、低コスト化は非常に困難である。

【0056】すなわち、上記した製造工程は本質的に半導体の製造工程と同様であるため、平面表示素子の大型化に伴う異物対策が益々厳しくなり、単に装置を大型化することによる当該装置、クリーンルーム、付帯設備の

コスト上昇のみならず、クリーンルームの更なるグレードアップ、検査やリペア等の装置精度向上が必要となり、プロセスコストが大幅に上昇する。

【0057】一方、平面表示素子として現在実用化され、あるいはされつつあるものは、上記の液晶、エレクトロクロミック、有機EL、およびプラズマ等に限られる。そして、これらの平面表示素子はアクティブ・アドレッシング型とするためのスイッチ素子を歩留りよく高能率で製造することが要求される。

【0058】本発明の第1の目的は、構造が単純で製造が簡単な線型固体スイッチ素子を提供することにある。

【0059】また、本発明の第2の目的は、上記従来技術で説明したような工程数の多い薄膜フォトリソグラフィ技術を用いることなく、前記線型固体スイッチ素子を得ることのできる製造方法を提供することにある。

【0060】さらに、本発明の第3の目的は、前記線型固体スイッチ素子を画素選択手段として用いた大型かつ高精細のアクティブ・アドレッシング型平面表示素子の画素選択手段に好適な平面表示素子を提供することにある。

【0061】

【課題を解決するための手段】本発明は、アクティブ・アドレッシング型の平面表示素子を構成するアクティブスイッチ素子を半導体製造と同様な薄膜フォトリソグラフィ技術を用いることなく、マイクロメカニカルな手段で構成することを特徴とする。

【0062】上記マイクロメカニカルな手段でアクティブ・アドレッシング型のスイッチ素子を構成する上での技術課題は、微小なTFT素子を個別の部品としてどのように形成するか、またそれらの相をどのように接続するかという点である。

【0063】この課題に対して、本発明の基本的な思想は、金属の細線上にアクティブスイッチ素子の構成に必要とする多層膜を形成し、その多層膜を加工することで線型の固体構造でアクティブスイッチ素子を形成したものである。

【0064】この線型固体スイッチ素子を平面表示素子の画素選択手段に用いる場合、上記金属の細線（金属線）をゲート線とし、ゲートバスラインにアクティブスイッチ素子が1ライン分ぶら下がった1本の線（ここでは、仮にゲートスイッチ線と呼ぶ）をマイクロメカニカルな1部品とした点にある。

【0065】すなわち、本発明の第1の目的を達成するために、請求項1に記載の第1の発明は、金属線の全表面に形成した絶縁層と、前記絶縁層の上に成膜した1または複数の半導体層と、前記金属線の長手方向に沿って複数のに区分した導体層からなる複数の電界効果型トランジスタ列から構成したことを特徴とする。

【0066】また、本発明の第1の目的を達成するために、請求項2に記載の第2の発明は、第1の発明におい

て、前記絶縁層が SiO_2 層または Si_3N_4 層の何れかであり、前記半導体層が a-Si 層または p-Si 層の何れかと、その上層に形成された N^+ 型 a-Si 層または N^+ 型 p-Si 層であることを特徴とする。

【0067】また、本発明の第1の目的を達成するために、請求項3に記載の第3の発明は、第1の発明における前記絶縁層が前記金属線の表面を酸化させてなる酸化膜であり、前記半導体層が a-Si 層または p-Si 層の何れかと、その上に形成された N^+ 型 a-Si 層または N^+ 型 p-Si 層であることを特徴とする。

【0068】さらに、本発明の第2の目的を達成するために、請求項4に記載の第4の発明は、金属線の表面全面に SiO_2 または Si_3N_4 からなる絶縁層を成膜する工程、前記絶縁層の上に a-Si 層または p-Si 層の何れかを成膜する工程、前記 a-Si 層または p-Si 層の何れかの上に N^+ 型 a-Si 層を成膜する工程、前記 N^+ 型 a-Si 層の上に金属層を形成する工程、および前記金属層と N^+ 型 a-Si 層または前記金属層と N^+ 型 p-Si 層を前記金属線の長手方向に沿って分離し、前記金属線をゲート線とし、前記分離された金属層の隣接する一方をドレイン電極とし他方をソース電極とした電界効果型スイッチ列を前記長手方向に複数個形成する工程とを少なくとも有することを特徴とする。

【0069】さらに、本発明の第2の目的を達成するために、請求項5に記載の第5の発明は、金属線の表面全面に a-Si または p-Si 層を成膜する工程、前記 a-Si または p-Si を酸化させて SiO_2 層を形成する工程、前記 SiO_2 層の上に a-Si 層または p-Si 層を形成する工程、前記 a-Si 層または p-Si 層の表面を N^+ 型 a-Si 層または p-Si 層とする工程、前記 N^+ 型 a-Si 層または前記 N^+ 型 p-Si 層の上に金属層を形成する工程、および前記金属層と N^+ 型 a-Si 層または N^+ 型 p-Si 層または前記金属層と N^+ 型 a-Si 層または N^+ 型 p-Si 層と、 a-Si または p-Si 層を前記

金属線の長手方向に沿って分離し、前記金属線をゲート線とし、前記分離された金属層の隣接する一方をドレイン電極とし他方をソース電極とした電界効果型スイッチ列を前記長手方向に複数個形成する工程とを少なくとも有することを特徴とする線型固体スイッチ素子の製造方法。

【0070】さらに、本発明の第2の目的を達成するために、請求項6に記載の第6の発明は、金属線の表面を酸化させてその金属線の表面全面に金属酸化物からなる絶縁層を形成する工程、前記金属酸化物の絶縁層の上に a-Si 層または p-Si 層を形成する工程、前記 a-Si 層または p-Si 層の表面に N^+ 型 a-Si 層または p-Si 層を形成する工程、前記 N^+ 型 a-Si

i 層または p-Si 層の上に金属層を形成する工程、および前記金属層を前記金属線の長手方向に沿って分離し、前記金属線をゲート線とし、前記分離された金属層の隣接する一方をドレイン電極とし他方をソース電極とした電界効果型スイッチ列を前記長手方向に複数個形成する工程とを少なくとも有することを特徴とする。

【0071】さらに、本発明の第2の目的を達成するために、請求項7に記載の第7の発明は、第4～第6の発明における前記N(+) a-Si層またはp-Si層をイオン打ち込み法またはレーザードーピング法により形成することを特徴とする。

【0072】さらに、本発明の第2の目的を達成するために、請求項8に記載の第8の発明は、第4～第6の発明における前記SiO₂、Si₃N₄、a-Si、p-Siを、プラズマ溶射、イオンクラスタービーム、イオンプレーティング、熱気相CVD、プラズマ気相CVD、エピタキシャル液相成長、熔融液相成長の何れかにより形成することを特徴とする。

【0073】さらに、本発明の第2の目的を達成するために、請求項9に記載の第9の発明は、第4～第6の発明における前記金属層およびN(+) a-Si層またはp-Si層を前記金属線の長手方向に沿って分離する手段が、レーザのアブレーション加工、フォトリソグラフィ加工、または機械的切削加工の何れかをを用いることを特徴とする。

【0074】そして、本発明の第3の目的を達成するために、請求項10に記載の第10の発明は、金属線の全表面に成膜した絶縁層と、前記絶縁層の上に成膜した半導体層と、前記金属線の長手方向に沿って複数に区分した導体層からなる複数の電界効果型トランジスタ列を有し、前記金属線をゲート線、前記複数に区分した導体層の隣接する一方をドレイン電極、他方をソース電極とする線型固体スイッチ素子を基板面の表面に配列して前記画素スイッチ線およびゲート線を構成したことを特徴とする。

【0075】また、本発明の第3の目的を達成するために、請求項11に記載の第11の発明は、第1～第3の発明または第10の発明に記載の前記画素スイッチを構成する線型固体スイッチ素子の前記ソース電極とドレイン電極の一部を除いた全面に有機絶縁膜を有し、前記基板に前記ソース電極とドレイン電極に接続する接続用金属膜または接続用金属パンプの何れかを備えたことを特徴とする。

【0076】さらに、本発明の第3の目的を達成するために、請求項12に記載の第12の発明は、一方の面に独立した透明画素電極を有する透明な基板と、前記基板の他方の面に前記第9の発明の前記線型固体スイッチ素子のソース電極と接続して前記透明画素電極に連通する小電極とドレイン電極と接続するドレイン線とを有することを特徴とする。

【0077】さらに、本発明の第3の目的を達成するために、請求項13に記載の第13の発明は、第12の発明における前記小電極と前記ドレイン線を覆う絶縁膜を有することを特徴とする。

【0078】さらに、本発明の第3の目的を達成するために、請求項14に記載の第14の発明は、一方の面に独立した透明画素電極を有し、他方の面に前記第9の発明の前記線型固体スイッチ素子のソース電極と接続して前記透明画素電極に連通する小電極とを有する透明な第1の基板と、ドレイン電極と接続するドレイン線とを有する第2の基板とを備えたことを特徴とする。

【0079】さらに、本発明の第3の目的を達成するために、請求項15に記載の第15の発明は、第13の発明における前記ドレイン線を前記ソース電極との接続部を除いて絶縁膜で覆ったワイヤとすることを特徴とする。

【0080】さらに、本発明の第3の目的を達成するために、請求項16に記載の第16の発明は、第14の発明における前記ドレイン線が前記第2の基板面に成膜された導電膜であることを特徴とする。

【0081】さらに、本発明の第3の目的を達成するために、請求項17に記載の第17の発明は、第14の発明における前記ドレイン線が前記ドレイン電極と接続する部分を除いて絶縁膜で被覆された線材であることを特徴とする。

【0082】さらに、本発明の第3の目的を達成するために、請求項18に記載の第18の発明は、第10～第17の発明の何れかにおける前記第1の透明基板に形成した透明画素電極側に液晶層を介して対向させた一様な透明電極を有する透明基板を備えたことを特徴とする。

【0083】さらに、本発明の第3の目的を達成するために、請求項19に記載の第19の発明は、第10～第18の発明の何れかにおける前記第1の透明基板に形成した透明画素電極側にエレクトロクロミック層を介して対向させた一様な透明電極を有する透明基板を備えたことを特徴とする。

【0084】さらに、本発明の第3の目的を達成するために、請求項20に記載の第20の発明は、第10～第19の発明の何れかにおける前記第1の透明基板に形成した透明画素電極側に有機EL層を介して対向させた一様な透明電極を有する透明基板を備えたことを特徴とする。

【0085】さらに、本発明の第3の目的を達成するために、請求項21に記載の第21の発明は、第18～第20の発明の何れかにおける前記何れかの基板の有効画面領域外に前記ゲート線および/またはドレイン線を埋設する溝を有することを特徴とする。

【0086】

【発明の実施の形態】金属線に上記多層膜を形成する成膜手段としては、金属線の表面にプラズマ溶射、イオン

クラスタービーム、イオンプレーティング、気相CVD（熱CVD、プラズマCVD等）、液相成長（エピタキシャル、溶融等）、などがあり、これらの成膜手段により、連続して SiO_2 、 Si_3N_4 等の絶縁膜、非晶質 Si （ a-Si ）または多結晶 Si （ p-Si ）、 N （+） a-Si 層を順次成膜し、この上にさらに金属膜を成膜する。

【0087】以上の成膜は薄膜形成プロセスであるが、従来の半導体技術に倣って、ゲート酸化膜は Si 膜を酸化させるか、金属線の表面を酸化させるかの手段を用いることもできる。

【0088】また、 N （+） a-Si 層は半導体的なドーピング手段、すなわちイオン打ち込み、またはレーザードーピング等の手段を用いることもできる。さらに、 p-Si 層を作るためには、 a-Si をエキシマレーザーでアニールする方法を用いてもよい。

【0089】さらに、上記電界効果型スイッチ素子を金属線の長手方向に複数列形成するための手段として、エキシマレーザーのアブレーション、または通常のフォトリソグラフィ、若しくは機械的な切削で例えば画素ピッチに対応した間隔で最上層の金属層を分離する。

【0090】図1は本発明による線型固体スイッチ素子の構造例の説明図であって、（a）は斜視図、（b）は断面図である。

【0091】同図において、1は金属線、2は絶縁層（ゲート絶縁層）、3はチャネル部、4は N （+）型 a-Si 層、5はドレイン電極、5'はソース電極である。

【0092】この線型固体スイッチ素子は画素のスイッチ動作のための電界効果型のトランジスタスイッチであり、金属線1の表面に成膜した絶縁層2と N （+）型 a-Si 層4、およびドレイン電極5とソース電極5'とで一単位の電界効果型トランジスタを構成する。この電界効果型トランジスタを金属線1の長手方向に沿って複数配列して一本の線型固体スイッチ素子を形成する。

【0093】すなわち、金属線1はゲート電極を構成し、その上に形成した N （+）型 a-Si 層4およびドレイン電極5とソース電極5'とで電界効果型トランジスタが構成される。

【0094】1つの電界効果型トランジスタを構成するチャネル部3は表面の金属層を N （+）型 a-Si 層まで除去することによって形成され、チャネル部3で分離された電極により上記したドレイン電極5とソース電極5'を形成する。

【0095】平面表示素子のアクティブ・アドレッシング用のスイッチ素子として使用する場合は、上記した一単位の電界効果型トランジスタ間の電極と共に N （+）型 a-Si 層4および a-Si または p-Si 層も含めて除去し、絶縁層2のみを残すが、画素間が離れている場合は N （+）型 a-Si 層4まで除去するだけでよ

い。

【0096】上記の各層の除去は、レーザー（例えば、エキシマレーザー）のアブレーションまたは通常のフォトリソグラフィあるいは機械的な切削、研磨等を用いても良い。

【0097】このように構成した線型固体スイッチ素子を平面表示素子のアクティブ・アドレッシング手段として用いる場合は、この線型固体スイッチ素子を平面上に必要数配列し、そのゲートスイッチ線に無機絶縁膜または有機絶縁膜で絶縁層を形成し、画素線、信号線との接続を行うために、ソース・ドレイン部の一部の当該絶縁膜を除去しておく。ただし、後述するように、ドレイン線、画素用電極が絶縁されている場合は、必ずしもゲートスイッチ線自体の絶縁は必要でない。

【0098】ゲート用の金属線と基板との熱膨張は合わせておくことが肝要である。金属線の熱膨張率の選択は各種の合金を用いることで広範囲の基板材料に対応した熱膨張率に設定できる。

【0099】また、金属線の表面は、成膜の均一性が保たれるように、例えば、 $0.1\mu\text{m}$ 以下の面粗さまで処理されていることが必要である。

【0100】図2は本発明による線型固体スイッチ素子の他の構造例の説明図であって、（a）は斜視図、（b）は断面図である。

【0101】この例においては、最上層に形成した金属膜を金属線の長手方向に平行な反対面の位置で一部除去することにより、ドレイン電極5とソース電極5'を形成する。従って、この型式では、チャネル部は2カ所3、3'に形成される。

【0102】本構造例の各層の成膜とその除去は上記図1で説明したものと同様である。

【0103】次に、この線型固体スイッチ素子を製造するための複数の方法について説明する。

【0104】「製造方法1」金属線1の表面全面に前記したプラズマ溶射、イオンクラスタービーム、イオンプレーティング、気相CVD（熱CVD、プラズマCVD等）、液相成長（エピタキシャル、溶融等）の何れかの方法で SiO_2 または Si_3N_4 を成膜して絶縁層（ゲート絶縁層）2とする。

【0105】この絶縁層2の上層に a-Si 層または p-Si 層の何れかの層を成膜し、前記 a-Si 層または p-Si 層の何れかの層の上にイオンドーピング（以下、単にイオンドープ）、レーザードーピング（以下、単に、レーザードープ）の何れかを用いて N （+）型 a-Si 層4を成膜する。

【0106】そして、前記 N （+）型 a-Si 層4の上に金属層を形成し、この金属層を前記金属線1の長手方向に沿ってレーザー（例えば、エキシマレーザー）のアブレーション、または通常のフォトリソグラフィ、若しくは機械的な切削で分離し、前記金属線をゲート線と

し、分離した金属層の一方をドレイン電極とし他方をソース電極とした複数の電界効果型スイッチの列を前記長手方向に形成する。

【0107】「製造方法2」金属線の表面全面に前記製造方法1と同様の手段でSiO₂またはSi₃N₄からなる絶縁層2をし、この上層にイオンドープ、レーザードープの何れかをを用いてa-Si層または表面にN

(+)型Si層を形成したSi層を形成し、さらにこの上層にa-Si層またはp-Si層の何れかを形成した後、その上層に金属層を形成する。そして、前記金属層を前記金属線1の長手方向に沿って上記と同様のレーザー（例えば、エキシマレーザー）のアブレーション、または通常のフォトリソグラフィ、若しくは機械的な切削で分離し、前記金属線1をゲート線とし、前記分離された金属層の隣接する一方をドレイン電極5とし他方をソース電極5'とした複数の電界効果型スイッチの列を前記長手方向に形成する。

【0108】「製造方法3」金属線1の表面全面にa-Siまたはp-Siからなる絶縁層2を成膜し、前記a-Siまたはp-Siを熱または陽極酸化によりSiO₂層を形成した後、前記SiO₂層の上にa-Si層またはp-Si層を形成し、これらの表面をイオンドープ、レーザードープの何れかをを用いてN(+)型Si層4とし、前記N(+)型Si層4の上に金属層を形成する。

【0109】そして、前記金属層を前記金属線1の長手方向に沿って上記と同様のレーザー（例えば、エキシマレーザー）のアブレーション、または通常のフォトリソグラフィ、若しくは機械的な切削で分離し、前記金属線1をゲート線とし、前記分離された金属層の隣接する一方をドレイン電極5とし他方をソース電極5'とした複数の電界効果型スイッチの列を前記長手方向に形成する。

【0110】「製造方法4」金属線1の表面を酸化させてその金属線1の表面全面に金属酸化物からなる絶縁層2を形成し、前記金属酸化物の絶縁層2の上にa-Si層またはp-Si層を形成した後、前記a-Si層またはp-Si層の表面にイオンドープ、レーザードープの何れかをを用いてN(+)型Si層を形成する。

【0111】そして前記N(+)型Si層の上に金属層を形成して、前記金属層を前記金属線1の長手方向に沿って上記と同様のレーザー（例えば、エキシマレーザー）のアブレーション、または通常のフォトリソグラフィ、若しくは機械的な切削で分離し、前記金属線1をゲート線、前記分離された金属層の隣接する一方をドレイン電極5とし、他方をソース電極5'とした複数の電界効果型スイッチ列を前記長手方向に成する。

【0112】このようにして、1本の金属線に沿って複数の電界効果型スイッチ列が形成される。この電界効果型スイッチ間のピッチを画素ピッチに合わせた多数の線

型固体スイッチ素子を面状に配列して液晶層、有機EL層、あるいはプラズマ形成層と積層することにより、アクティブ・アドレッシング型の平面表示素子を構成することができる。

【0113】図3は本発明による平面表示素子を構成する画素電極基板の一例を説明する概略斜視図であって、6は画素電極基板、7はドレイン線、8はソース用小電極、9は画素一小電極導通部、10は透明画素電極である。

【0114】画素電極基板6は、透明な基板の片側に独立した透明な画素電極10を、その反対側に画素に対応したソース用小電極8とドレイン線7を形成して基本構造となし、これら小電極8とドレイン線7を絶縁膜で覆い、スイッチ素子のソース・ドレイン電極との導通をとるために、上記絶縁膜の対応する部分を除去しておく。

【0115】一方、各画素電極10対向する小電極8との間に細い穴を開け、ここに導体を入れて導通をとる。

【0116】図4は本発明による平面表示素子の他例の概略構造を説明する斜視図であって、11は平面表示素子用対向基板、図1、2、3と同一符号は同一部分に対応する。

【0117】ゲート線（以下、ゲート・スイッチ線とも言う）1は同図に示したように、そのドレイン電極5が画素電極基板6上のドレイン線7と接続し、ソース電極5'が小電極8と接続している。この場合、ゲート・スイッチ線1が絶縁されていれば、ドレイン線7と小電極8とは必ずしも絶縁する必要はない。

【0118】図5は本発明による平面表示素子のさらに他例の概略構造を説明する斜視図であって、12はドレイン線基板、上記実施例と同一符号は同一部分に対応する。ゲート・スイッチ線1のスイッチ部の電極配置によっては、ドレイン線7と小電極8とを別々の基板に形成した方が便利な場合がある。

【0119】すなわち、透明な基板6の片側に独立な画素電極を形成し、その反対側は画素に対応した小電極8を形成し、各画素電極と対向する小電極8との間に細い穴を開けて導通をとる。

【0120】一方、別の透明基板12上に絶縁膜で覆ったドレイン線7を形成し、スイッチ素子1のドレイン電極5に対応させてスルーホールを開けておく。

【0121】図6は本発明による平面表示素子のさらに他例の概略構造を説明する斜視図であって、上記実施例と同一符号は同一部分に対応する。

【0122】この実施例では、上記図5におけるドレイン線7を形成した基板12を用いなくて、単なる線7'をドレイン電極5に直接接続する構成としてもよい。

【0123】上記図5と図6におけるスイッチ素子は前記図1で説明した構成のものであるが、前記図2で説明した構造のスイッチを用いて平面表示素子を構成する場

合は、下記のような構造とすることができる。

【0124】図7は本発明による平面表示素子のさらに他例の概略構造を説明する斜視図であって、上記実施例と同一符号は同一部分に対応する。同図(a)は基板6の内面に小電極8を成膜し、基板12の内面にドレイン線7を成膜して、両基板の間にスイッチ線1を挟持すると共に、スイッチ線1のドレイン電極を基板12のドレイン線7に、またスイッチ線1のソース電極5'を基板6の小電極8に接触させて成る。

【0125】また、同図(b)では、基板6の内面に溝6'を形成し、この底面に小電極8を埋め込み、かつ溝6'の中にスイッチ線1を埋設してそのソース電極5'を小電極8に接触させ、ドレイン電極5は基板12に成膜したドレイン線に接触されて成る。

【0126】このような構造とすることにより、基板6と基板12の間のギャップを小さくすることができる。

【0127】なお、図7の構成においても、そのドレイン線7を前記図6に示したような線状としてもよい。

【0128】図8は本発明による平面表示素子のさらに他例の概略構造を説明する斜視図であって、ゲート線の断面を矩形とした場合の構成例であって、9は画素電極10と小電極8との導通用導体、13はバンプである。

【0129】同図においては、スイッチ線1に形成したドレイン電極5と基板6に形成したドレイン線7、およびスイッチ線1に形成したソース電極5'と基板6に形成した小電極8とを、低融点金属からなるバンプ13を用い、これを熱圧着あるいはレーザー溶接で接続させるものである。

【0130】図9は本発明による平面表示素子のさらに他例の概略構造を説明する斜視図であって、特にそのゲート線およびドレイン線が線材で構成されている場合に、ドレイン線を基板に埋め込んで固定した構造を示す。

【0131】図示したように、基板6の周辺および端部に溝を切り、この溝に上記線材を埋設して、その端部に接着材を塗布して固定する。

【0132】図10は図9に示した構造の基板に駆動ICを搭載した構造を説明する部分断面図であって、14は端子部固定用接着材、15は回路基板、16は駆動ICである。

【0133】図示したように、駆動IC16は回路基板15に搭載された状態で基板6に接着材14で固定され、その端子は基板15の形成したビアホール15'を介して行う。

【0134】図11は本発明による平面表示素子のさらに他の構成例を説明する要部平面図であって、所謂横電界方式の平面表示素子のアクティブ・アドレッシング用のスイッチ素子として本発明によるスイッチ素子を用いたものである。

【0135】同図において、画素電極10とコモン電極

17とは基板面に対して平行な位置で櫛歯状に配置され、それぞれ画素電極引き出し線10'とコモン電極引き出し線17'で引き出されている。

【0136】以上説明した各構成により、平面表示素子のアクティブ・アドレッシングが可能となるが、実際の表示媒体として液晶を用いる場合は、もう一方の基板をカラーフィルタ基板とすることでカラーの液晶表示素子を構成できる。

【0137】この他、表示媒体として、エレクトロクロミック、有機EL等を用いることができる。

【0138】以下、本発明の実施例につき、さらに詳細に説明する。

【0139】〔実施例1〕本発明によるスイッチ素子を用いた平面表示素子で50インチ対角、アスペクト比16:9、画素サイズ0.6mmのHDTVを構成した。

【0140】ゲート・スイッチ線1の金属線として、径20 μ mのインコネル系の細線を用いた。この線の熱膨張係数は30°~350°において4.8 $\times 10^{-6}$ である。

【0141】この金属線への各種成膜は、石英円筒の熱CVDを用い、ゲート絶縁膜としてSiO₂を300nm、半導体層としてa-Siを200nm、N(+)a-Siを30nm連続的に成膜し、続いてイオンクラスタービーム法によりT_a膜を200nm成膜した。

【0142】何れの成膜においても、線材を一定の速度で引っ張り、膜厚の均一化を図った。

【0143】チャネル部のT_a膜およびN(+)a-Si膜の除去には0.5psのパルス幅で波長248nmのエキシマレーザーのアブレーションを用いた。FETはチャネル部の長さ15 μ m、幅62.8(=20 $\times \pi$)で前記図1に示した形状を採用した。

【0144】図12はチャネル部の除去にエキシマレーザーを用いた場合の照明結像系の模式図であって、18、18'はアブレーション用レーザー光である。

【0145】この結像光学系は、図13に示したように、相対する二つの1:5の縮小結像レンズからなり、結像点にワイヤが置かれる。

【0146】結像方法については、マスク露光機の光学系と全く同一の原理を用いており、ケラー照明系によってマスクを照明し、これを結像レンズで結像する。この場合、マスクは誘電体多層膜ミラーでエキシマ光に対する不透明部分を構成する。

【0147】開口部は図14に示したように、チャネル長さに対応する(a)とトランジスタの分離部(b)を一組とし、これが全部で50組ある。

【0148】1:5のレンズのため、結像面では30 μ m \times 10mmの面積となり、面積は1/25に縮小される。

【0149】マスクへの照明光のエネルギー密度は60

mJ/—で、結像面では1J/—である。このエネルギー密度では、1ショットで金属膜とN(+)層が除去される。

【0150】エネルギーレーザーの発振周波数は2.5kHzであり、ワイヤを正確に25m/秒で走らせると、60秒で1500mのワイヤの加工ができる。これは、所謂50インチ対角のディスプレイを構成するのに必要なゲートスイッチ線の量である。なお、ここで用いたレーザー光源は一台で、出力ビームを二つに分けて用いている。

【0151】このように加工されたゲートスイッチ線に半田レジストを塗布し、上記したFETの加工と同様の手段により、ソース、ドレイン電極上に20μm幅でレジストを除去する。これを溶融した低温半田の浴槽を通してソース、ドレイン電極に半田を載せる。

【0152】基板は1.1mmの厚みの所謂7059ガラスで、水平方向に0.2mmピッチで4800個の0.08mmφの孔を開けてある。このような水平ラインが1000本形成されている。

【0153】上記孔の上下の接続は、金属ペーストの焼結体によって行われる。基板の片面にはITO透明電極を、他面には図3に示したようなトランジスタのソース電極に接続する小電極とドレイン線が接続されている。

【0154】図15は小電極とドレイン線の接続部の詳細例を説明する部分図である。

【0155】本例では上記した基板とカラーフィルタ基板とで予めエキシマレーザー表示素子を制作しておく。

【0156】そして、上記ゲート・スイッチ線1000本を枠に0.6mmのピッチでテンションをかけながら固定し、上記基板との合わせを行い、赤外線ランプによる半田リフローによって接続を行う。

【0157】ゲート線の端部は、前記図10に示したように、当該端部に形成した溝を利用して固定し、これに駆動ICを接続して電界効果型アクティブ・アドレッシング型の液晶表示素子が得られる。

【0158】図16は本発明による電界効果型アクティブ・アドレッシング型の液晶表示素子を用いた平面表示モジュールの一例を説明する展開斜視図であって、MDLは液晶表示モジュール、SHDは上フレームである金属製のシールドケース、WDは液晶表示モジュールの有効画面を画定する表示窓、PNLは本発明による液晶表示素子からなる液晶パネル、PCB1はドレイン側回路基板、PCB2はゲート側回路基板、PCB3はインターフェイス回路基板、PRSはプリズムシート、SPSは拡散シート、GLBは導光体、RFSは反射シート、BLはバックライト、LPはバックライトBLのランプを構成する冷陰極蛍光灯、LSは反射シート、GCはゴムブッシュ、LPCはランプケーブル、MCAは導光体GLBを設置する開口MOを有する下側ケース、JN1, 2, 3は回路基板間を接続するジョイナ、TCP

1, 2はテープキャリアパッケージ、INS1, 2, 3は絶縁シート、GCはゴムクッション、BATは両面粘着テープ、ILSは遮光スペーサである。

【0159】上記の各構成材は、金属製のシールドケースSHDと下側ケースMCAの間に積層されて挟持固定されて液晶表示モジュールMDLを構成する。

【0160】また、液晶パネルPNLの裏面には導光体GLBに各種の光学シートを積層してなるバックライトBLが設置され、液晶表示パネルPNLに形成された画像を照明して表示窓WDに表示する。

【0161】なお、上記した実施例は、液晶を表示媒体としたが、この他に有機ELやエレクトロクロミック、あるいはプラズマガス放電を利用した各種の平面表示素子にも本発明を適用できることは言うまでもない。

【0162】

【発明の効果】以上説明したように、本発明によれば、構造が単純で製造が簡単な線型固体スイッチ素子を提供することができる。

【0163】また、従来技術で説明したような工程数の多い薄膜フォトリソグラフィ技術を用いることなく、前記線型固体スイッチ素子を得る製造方法を得ることができる。

【0164】さらに、本発明による線型固体スイッチ素子を画素選択手段として用いることで大型かつ高精細のアクティブ・アドレッシング型平面表示素子を提供することができる。

【図面の簡単な説明】

【図1】本発明による線型固体スイッチ素子の構造例の説明図である。

【図2】本発明による線型固体スイッチ素子の他の構造例の説明図である。

【図3】本発明による平面表示素子を構成する画素電極基板の一例を説明する概略斜視図である。

【図4】本発明による平面表示素子の他例の概略構造を説明する斜視図である。

【図5】本発明による平面表示素子のさらに他例の概略構造を説明する斜視図である。

【図6】本発明による平面表示素子のさらに他例の概略構造を説明する斜視図である。

【図7】本発明による平面表示素子のさらに他例の概略構造を説明する斜視図である。

【図8】本発明による平面表示素子のさらに他例の概略構造を説明する斜視図である。

【図9】本発明による平面表示素子のさらに他例の概略構造を説明する斜視図である。

【図10】図9に示した構造の基板に駆動ICを搭載した構造を説明する部分断面図である。

【図11】本発明による平面表示素子のさらに他の構成例を説明する要部平面図である。

【図12】チャンネル部の除去にエキシマレーザーを用い

た場合の照明結像系の模式図である。

【図 13】図 12 の照明結像系の結像光学系の模式図である。

【図 14】図 13 の結像光学系に用いる誘電体多層膜マスクの構造図である。

【図 15】小電極とドレイン線の接続部の詳細例を説明する部分図である。

【図 16】本発明による電界効果型アクティブ・アドレッシング型の液晶表示素子を用いた平面表示モジュールの一例を説明する展開斜視図である。

【図 17】TFT 型のアクティブ・アドレッシング型液晶平面表示素子の 1 画素とその周辺を説明する平面図である。

【図 18】図 15 の 3-3 線の断面図である。

【図 19】TFT をスイッチ素子に用いたアクティブ・

マトリクス型カラー平面表示素子のマトリクス部とその周辺回路の説明図である。

【図 20】TFT からなるスイッチ素子を製造するための工程を順に示したものである。

【図 21】TFT からなるスイッチ素子を製造するための工程を順に示したものである。

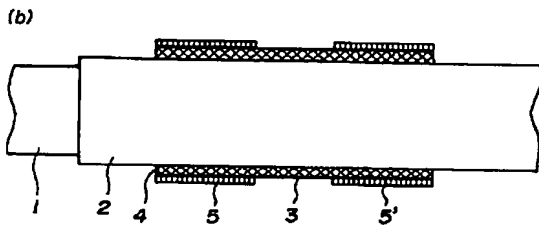
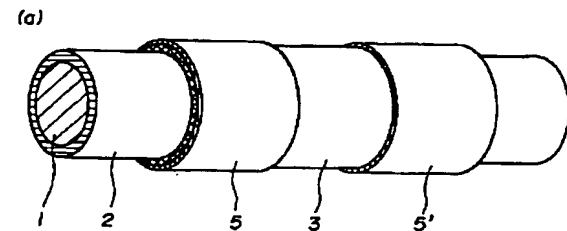
【図 22】TFT からなるスイッチ素子を製造するための工程を順に示したものである。

【符号の説明】

- 1 金属線
- 2 絶縁層（ゲート絶縁層）
- 3 チャネル部
- 4 N（+）型 a-Si 層
- 5 ドレイン電極
- 5' ソース電極

【図 1】

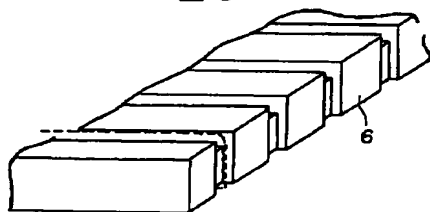
図 1



- 1 : 金属線
- 2 : ゲート絶縁層
- 3 : チャネル部
- 4 : N（+）a-Si 層
- 5 : ドレイン電極
- 5' : ソース電極

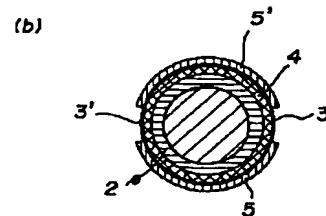
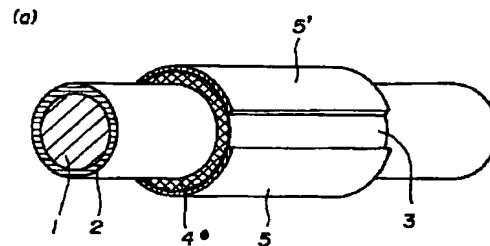
【図 9】

図 9



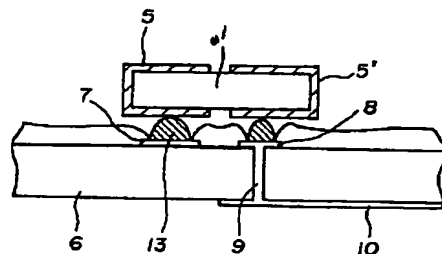
【図 2】

図 2



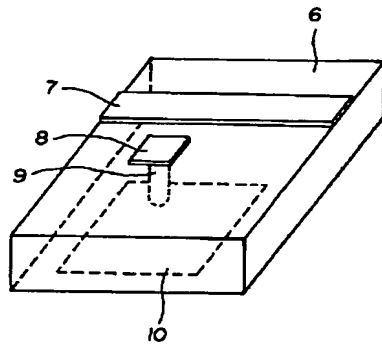
【図 8】

図 8



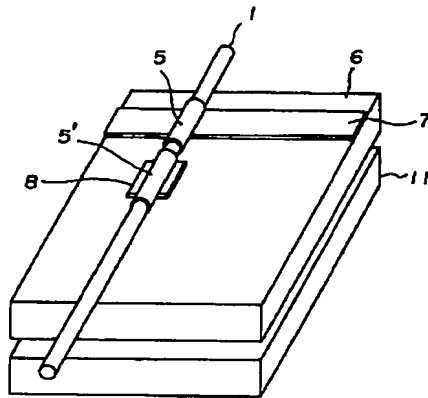
【図3】

図3



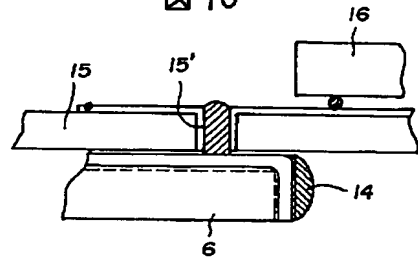
【図4】

図4



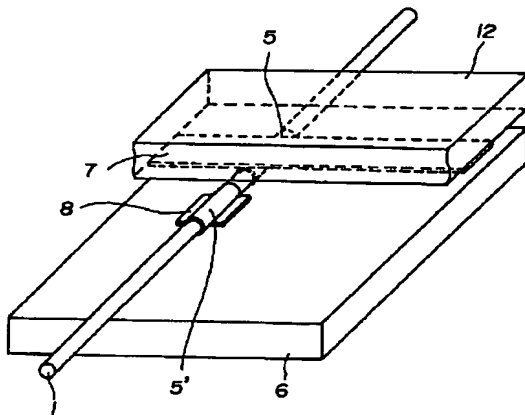
【図10】

図10



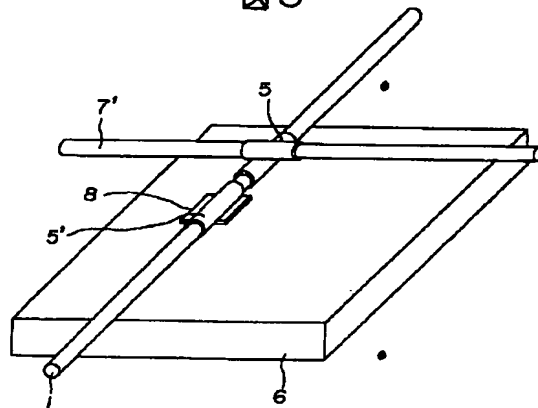
【図5】

図5



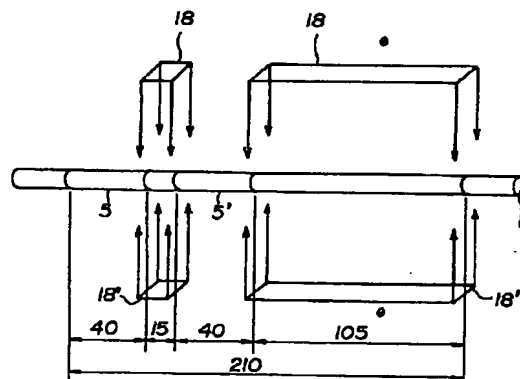
【図6】

図6



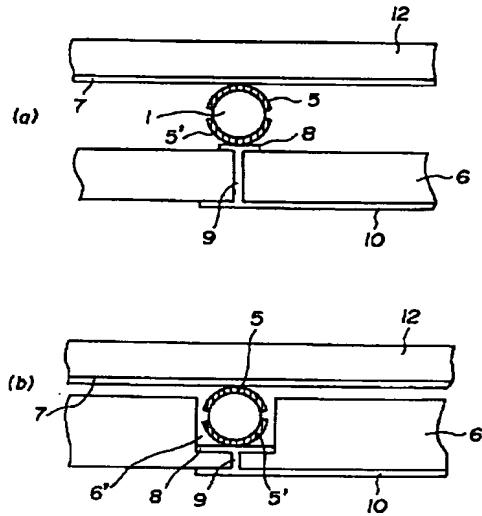
【図12】

図12

単位: μm

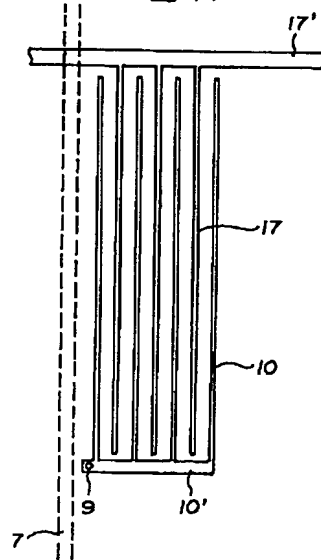
【図 7】

図 7



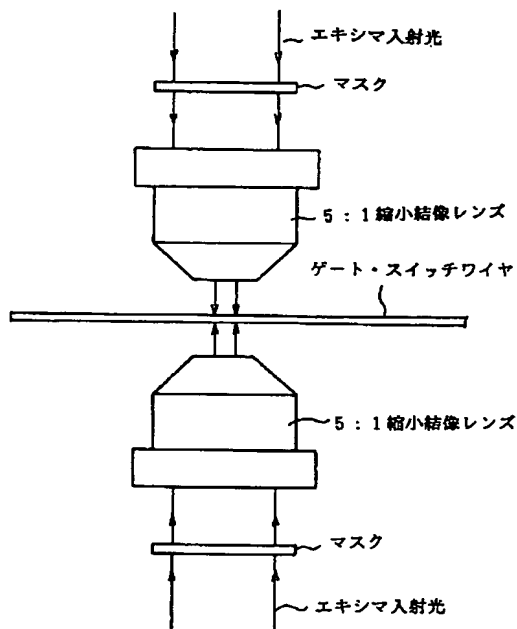
【図 11】

図 11



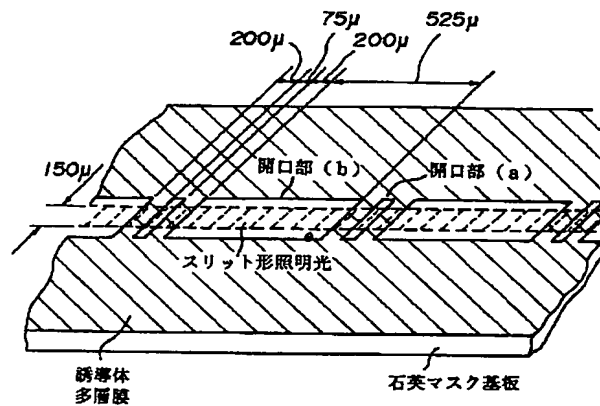
【図 13】

図 13



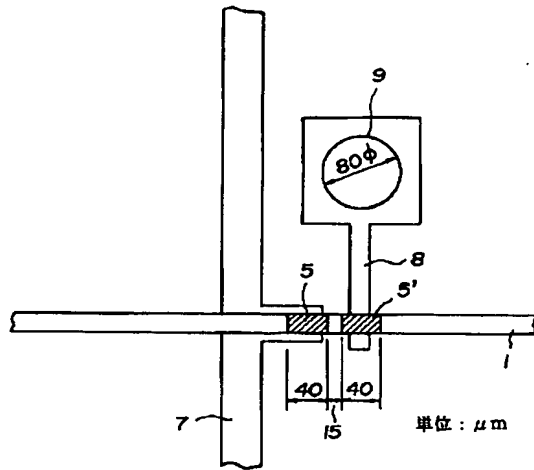
【図 14】

図 14



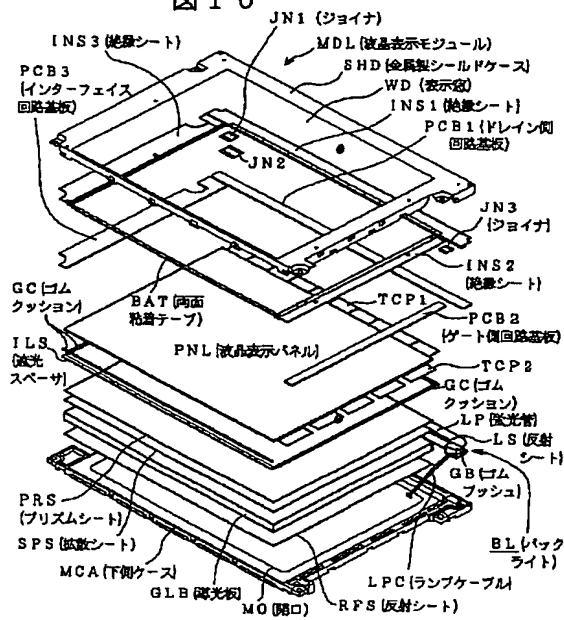
【図15】

図15



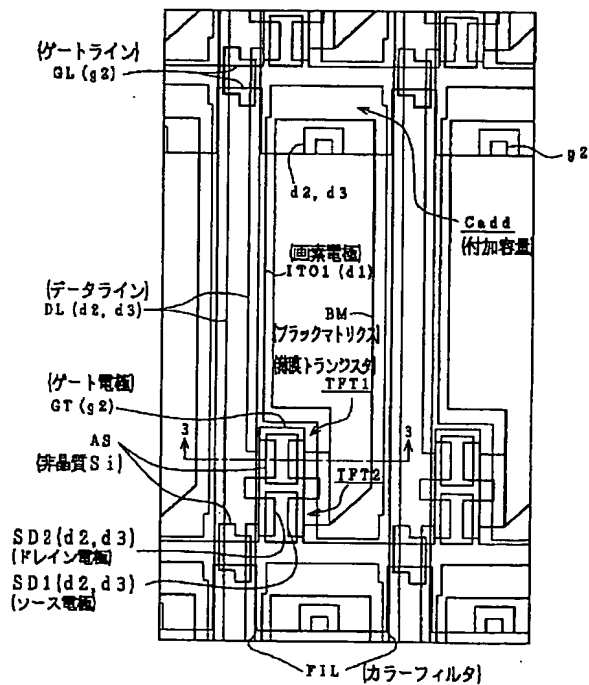
【図16】

図16



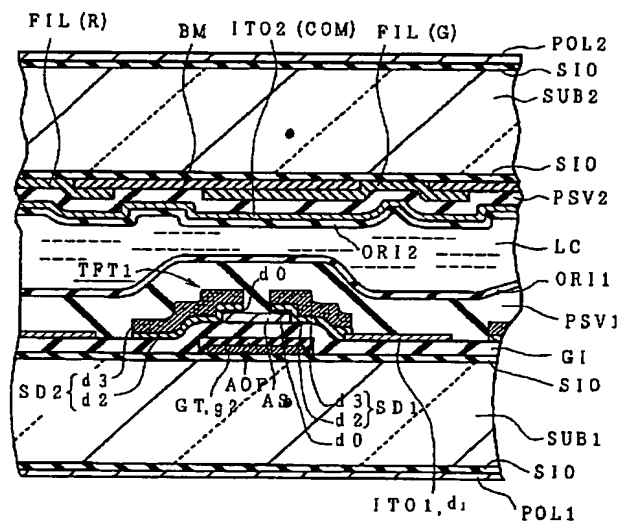
【図17】

図17



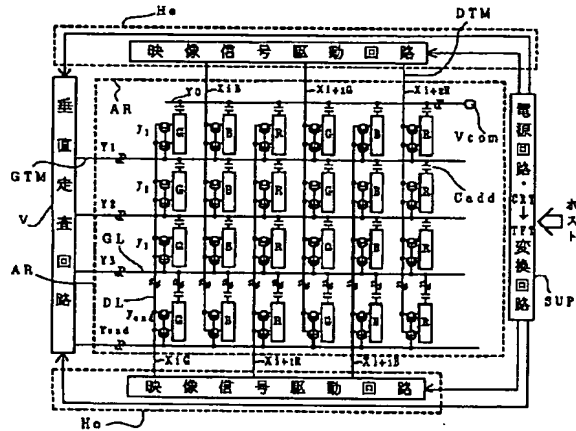
【図18】

図18



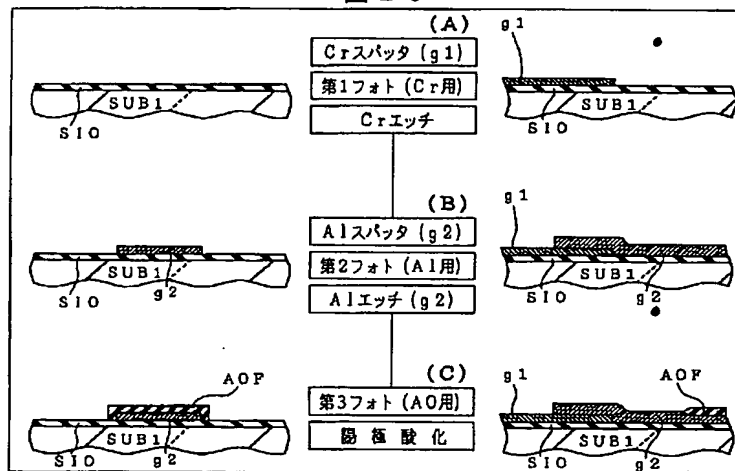
【図19】

図19



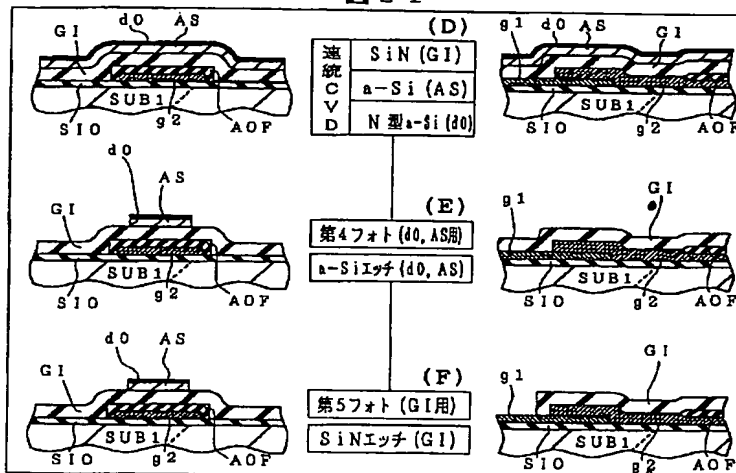
【図20】

図20



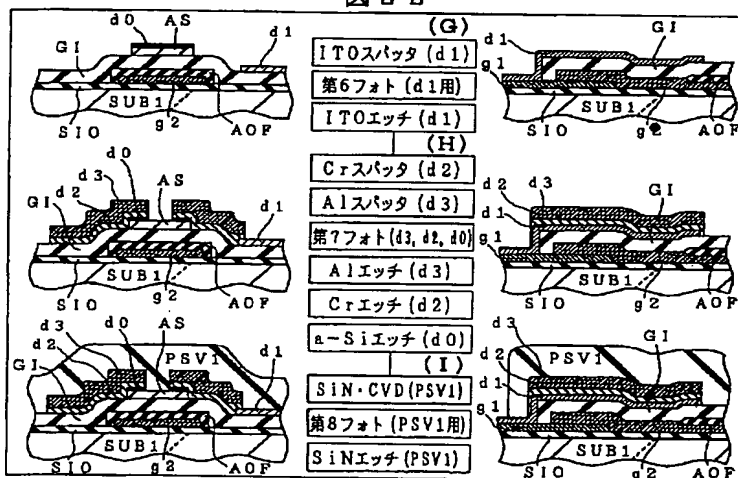
【図21】

図21



【図22】

図22



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.